

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-234054

(43)Date of publication of application : 18.10.1991

(51)Int.Cl.

H01L 27/06

H01L 27/04

(21)Application number : 02-030885

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 09.02.1990

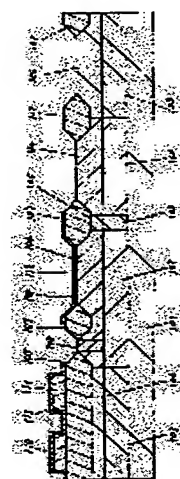
(72)Inventor : MIYATSUJI KAZUO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To suppress fluctuation of the characteristics of a bipolar transistor and to decrease the parasitic capacitance by growing a silicon nitride film and then partially etching the silicon nitride film so that it remains on a resistor and/or the first electrode of a capacitive element and a region on which a bipolar transistor is formed.

**CONSTITUTION:** First conductive film such as a poly-Si film is selectively formed as a resistor element and the lower electrode of a capacitor and then (n) or (p)-type impurity ions are selectively implanted into the resistor element region thus producing a resistor element 110. Subsequently, (n) or (p)-type impurity ions are selectively implanted with high density into the lower electrode region of the capacitive element thus providing the first electrode 111 of a low resistance capacitive element. A silicon nitride film is then grown on the surface of a semiconductor wafer and subsequently removed so that it is left on the resistor element 110, the first electrode 111 of the capacitive element, and the base forming region of an npn bipolar transistor in an (n) well region 104.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平3-234054

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月18日

H 01 L 27/06  
27/04R 7514-5F  
C 7514-5F  
7735-5F

H 01 L 27/06

3 2 1 Z

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-30885

⑯ 出 願 平2(1990)2月9日

⑰ 発 明 者 宮 辻 和 郎 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑱ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1、発明の名称

半導体装置の製造方法

## 2、特許請求の範囲

複数のバイポーラトランジスタを形成する第1の領域とMOSトランジスタを形成する第2の領域と少なくとも抵抗あるいは容量を形成する第3の領域からなる半導体基板を供給する工程と、前記第1の領域と第2の領域または前記第1の領域間または前記第2の領域間を分離する第1の酸化膜を形成する工程と、前記第3の所定領域に第1の導電膜を形成する工程と、前記第2の領域以外の領域に第2の絶縁膜を形成する工程と、前記第2の領域にゲート酸化膜を形成する工程と、前記半導体基板全面に第2の導電膜を形成する工程と、前記第2のゲート酸化膜及び前記第3の領域の前記容量領域の前記第2の絶縁膜上の所定領域に前記第2の導電膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 3、発明の詳細な説明

## 産業上の利用分野

本発明は、半導体集積回路、特に同一半導体基板上に、バイポーラトランジスタとMOSトランジスタと抵抗素子および容量素子を形成するBi-MOS半導体装置の製造方法に関するものである。

## 従来の技術

近年、半導体集積回路の高速化やアナログ・デジタル共存機能が望まれ、バイポーラトランジスタとMOSトランジスタを同一基板上に集積化したBi-MOS集積回路が注目されており、また、高精度の抵抗素子、容量素子を搭載することが望まれている。特に、寄生容量や電圧依存性の小さい高精度の抵抗、容量素子はフィルタ内蔵のために重要となっている。

従来の抵抗素子、容量素子を搭載したBi-MOS半導体装置の製造方法を第2図を参照して説明する。

まず、p型単結晶シリコン基板1の上にn型埋め込み領域2およびp型埋め込み領域3を選択的

ベースエミッタ間分離膜は初期の膜厚を維持できる。

#### 実施例

本発明にかかる半導体装置の製造方法を適用した一実施例について第1図(a)~(c)に示した工程流れ図を参照しながら説明する。

まず、第1図(a)のように、p型単結晶シリコン等の半導体基板101の上に、n型埋め込み領域102およびp型埋め込み領域103を選択的に形成した後、比抵抗が $0.3 \sim 10 \Omega \text{cm}$ のn型またはp型のシリコンエピタキシャル層を形成し、n型埋め込み領域102の上にnウェル領域104を、またp型埋め込み領域103の上にはこれにつながる分離領域105とpウェル領域106を形成する。さらに選択酸化法により成長させたシリコン酸化膜等の第1の絶縁膜107を形成して素子間を分離させた後、n型不純物の拡散によりコレクタウォール層108を形成する。

さらに、半導体ウェハ表面に薄いシリコン酸化膜109を形成した後、抵抗素子および容量下部

化膜等の第2の絶縁膜を形成する。次に、MOSトランジスタ領域上と、容量素子の第1の電極111上に熱拡散により高濃度の磷をドーピングした多結晶シリコン膜等の第2の導電膜を選択的に形成してゲート電極114と容量素子の第2の電極115を形成する。

次に第1図(c)のように、p型の不純物を選択的にイオン注入してベース領域116を形成する。次に、第2の絶縁膜をゲート電極114直下のみに残してゲート絶縁膜113を形成した後、n型の不純物を選択的にイオン注入してnチャンネルMOSトランジスタの低濃度でn型のソース領域117およびドレイン領域118を形成し、さらにゲート電極114の側壁にサイドウォール用の絶縁膜として酸化膜119を形成した後、n型の不純物を選択的にイオン注入してnチャンネルMOSトランジスタの高濃度でn型のソース領域120およびドレイン領域121を形成することによりnチャンネルMOSトランジスタのLDD構造を形成する。さらに、p型の不純物を選択的にイオン

電極として多結晶シリコン膜等の第1の導電膜を選択的に形成し、さらに多結晶シリコン膜のうち抵抗素子領域にたいして選択的にn型またはp型の不純物をイオン注入して抵抗素子110とする。その後多結晶シリコン膜のうち容量素子下部電極領域に対して選択的にn型またはp型で高濃度の不純物をイオン注入して低抵抗の容量素子の第1の電極111とする。次に、半導体ウェハ表面にシリコン窒化膜を成長させて、抵抗素子110上、容量素子の第1の電極111上および、nウェル領域104の中のnpnバイポーラトランジスタのベース形成領域にシリコン窒化膜112を残すようにシリコン窒化膜を選択的に除去する。その後、前記シリコン窒化膜112をマスクとして、薄いシリコン酸化膜109を除去してシリコン酸化膜109を形成する。

次に第1図(b)のように、シリコン窒化膜112をマスクとして選択酸化法によってMOSトランジスタを形成するnウェル領域104とpウェル領域106の上にゲート絶縁膜となる薄いシリコン酸

化膜等の第2の絶縁膜を形成する。次に、MOSトランジスタの高濃度でp型のソース領域122およびドレイン領域123を形成する。次に、エミッタ、コレクタを形成する領域のシリコン酸化膜109とシリコン窒化膜112を開孔し、砒素等のn型不純物をドーピングした多結晶シリコン膜等を選択的に形成してエミッタ電極124およびコレクタ電極125とする。その後、エミッタ電極124およびコレクタ電極125からの砒素の拡散によりそれぞれエミッタ領域126とコレクタコンタクト領域127を形成する。

以上のように形成された実施例によれば、npnバイポーラトランジスタのベース領域116とエミッタ電極124間のベースエミッタ間分離膜のシリコン窒化膜112がシリコン酸化膜109の耐エッチングマスクとなるため、ベースエミッタ間分離膜厚が途中工程のシリコン酸化膜エッチングなどにより減少することがなく、初期の膜厚を維持できるので、ベースエミッタ間に逆バイアスが印加された場合ベース領域116とエミッタ電

極124間の逆電界を緩和し、ホットエレクトロンのベースエミッタ分離膜への注入を防ぎ、電流増幅率の変動などの信頼性上問題となるような特性変動を抑制でき、またベースエミッタ間の余分な寄生容量の増加も防止できる。さらに、このシリコン窒化膜は抵抗素子の保護膜および、容量素子の誘電膜の形成と同時に形成できるため、新たに工程を追加する必要がない。

なお、本実施例では、抵抗素子および容量素子の両方を形成する場合について説明したが、抵抗素子または容量素子の一方を形成する場合においても同様に適用できる。また、本実施例では、バイポーラトランジスタとしてnpnトランジスタの場合について説明したが、同様にpnpトランジスタを形成する場合においても適用できる。

また、本実施例では、MOSTランジスタとしてCMOSTランジスタを形成する場合について説明したが、pチャンネルMOSTランジスタまたはnチャンネルMOSTランジスタのみを形成する場合についても適用できる。

さらに、本発明にかかる半導体装置の製造方法はシリコンの代わりに化合物半導体にも適用できることは言うまでもない。

#### 発明の効果

以上説明したように、本発明にかかる半導体装置の製造方法によれば、信頼性に優れたバイポーラトランジスタの形成と同時に新規工程の追加をすることなく抵抗素子、容量素子の同時形成ができる。

#### 4、図面の簡単な説明

第1図は本発明の半導体装置の製造方法の流れを示す工程順断面図、第2図は従来の半導体装置の構造を示す断面図である。

101……半導体基板、107……第1の絶縁膜、109……シリコン酸化膜、110……抵抗素子、111……容量素子の第1の電極、112……シリコン窒化膜、113……ゲート絶縁膜、114……ゲート電極、115……容量素子の第2の電極。

代理人の氏名 弁理士 栗野重孝 ほか1名

図1  
101……半導体基板  
107……第1の絶縁膜  
109……シリコン酸化膜  
110……抵抗素子  
111……容量素子の第1の電極  
112……シリコン窒化膜

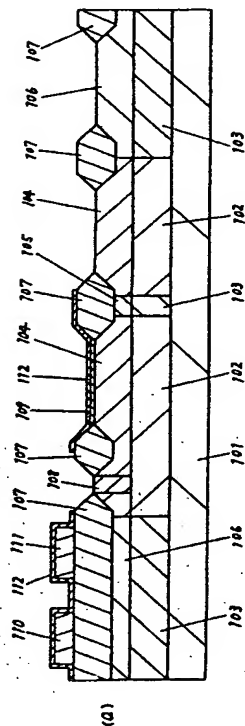
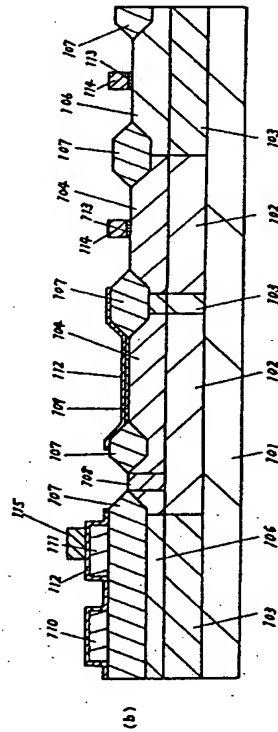
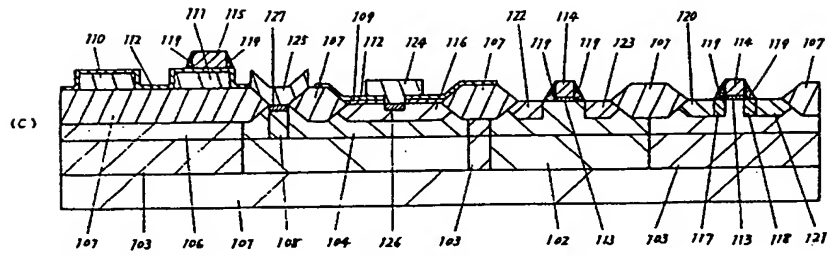


図2  
113……ゲート絶縁膜  
114……ゲート電極  
115……容量素子の第2の電極



第 1 図



第 2 図

